

File 347:JAPIO OCT 1976-2001/Apr(UPDATED 010801)

(c) 2001 JPO & JAPIO

\*File 347: JAPIO data problems with year 2000 records are now fixed.  
Alerts have been run. See HELP NEWS 347 for details.



Set	Items	Description
-----	-------	-------------

?ss pn=(5021744 or 9223673 or 9321234 or 10012833 or 10041486)		
S1	1	PN=5021744
S2	1	PN=9223673
S3	1	PN=9321234
S4	1	PN=10012833
S5	1	PN=10041486
S6	5	PN=(5021744 OR 9223673 OR 9321234 OR 10012833 OR 10041486)

?t s6/4/all

6/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- FERROELECTRIC FILM FOR SEMICONDUCTOR DEVICE AND FORMING METHOD FOR THE SAME

PN- 10 -041486 -JP 10041486 A-

PD- February 13, 1998 (19980213)

AU- KYO SHOSEKI

PA- SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of

AN- 09-082195 -JP 9782195-

AD- March 14, 1997 (19970314)

PR- 9617880 [KR 9617880], KR (Korea) Republic of, May 25, 1996 (19960525)

IC- -6- H01L-027/108; H01L-021/8242; C30B-029/32; H01L-021/316,

CL- 42.2 (ELECTRONICS -- Solid State Components); 13.2 (INORGANIC CHEMISTRY -- Inorganic Compounds)

KW- R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES)

6/4/2

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv. |

TI- FERROELECTRIC FILM COVERED BASE AND ITS USAGE

PN- 10 -012833 -JP 10012833 A-

PD- January 16, 1998 (19980116)

AU- SATO SAKIKO; MATSUNAGA HIRONORI

PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

AN- 08-185548 -JP 96185548-

AN- 08-185548 -JP 96185548-

AD- June 25, 1996 (19960625)

IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242  
; H01L-021/8247; H01L-029/788; H01L-029/792

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007 (ULTRASONIC WAVES); R115 (X-RAY APPLICATIONS)

AB- PROBLEM TO BE SOLVED: To prevent asymmetry of the hysteresis loop, denseness and surface- flatening of a ferroelectric film, and preventing generation of leakage current, by forming a first ferroelectric film, an intermediate buffer layer and a second ferroelectric film of the same kind as the first ferroelectric film, on a substratum in this order.

SOLUTION: An oxide silicon layer 12 as a thermal oxide film is formed on the surface of a base 11 of a silicon single crystal wafer, a

bonding layer 13 of Ta and a lower electrode 14 of Pt are formed on the oxide silicon layer 12 in this order by using a sputtering method, and a substratum composed of Pt/Ta/SiO(sub 2)/Si is formed. A first ferroelectric film 15 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the Pt electrode 14, and an intermediate buffer layer 16 of titanium oxide is formed on the first ferroelectric film 15. A second ferroelectric film 17 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the titanium oxide 16, and a ferroelectric film covering substratum constituted of three layers is formed. By arranging the intermediate layer between the ferroelectric films, asymmetry of the hysteresis loop can be prevented.

6/4/3

FN- DIALOG(R)File 347:JAPIO|  
 CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
 TI- FERROELECTRIC THIN FILM DEVICE, MANUFACTURE THEREOF AND FERROELECTRIC MEMORY DEVICE  
 PN- 09-321234 -J P 9321234 A-  
 PD- December 12, 1997 (19971212)  
 AU- ITO YASUYUKI; USHIKUBO MAHO; YOKOYAMA SEIICHI; MATSUNAGA HIRONORI  
 PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)  
 AN- 08-145425 -JP 96145425-  
 AN- 08-145425 -JP 96145425-  
 AD- June 07, 1996 (19960607)  
 IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242  
       ; H01L-021/8247; H01L-029/788; H01L-029/792; H01L-037/02; H01L-041/09  
       ; H01L-041/18; H01L-041/22; H01L-021/316  
 CL- 42.2 (ELECTRONICS -- Solid State Components)  
 KW- R002 (LASERS); R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007  
       (ULTRASONIC WAVES); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
       Semiconductors, MOS); R115 (X-RAY APPLICATIONS)  
 AB- PROBLEM: To be solved: To provide a ferroelectric thin film device, a  
       manufacturing method thereof and a ferroelectric memory device,  
       enabling the low temperature film forming with reduced leak current.

SOLUTION: The method of manufacturing a ferroelectric thin film device having a lower electrode layer 4, the ferroelectric thin film 5 and upper electrode layer 6 successively laminated on a substrate comprises forming an oxide thin film to be the ferroelectric thin film 5 on the lower electrode layer 4 formed on the substrate by the physical or chemical vapor deposition, forming the upper electrode layer 6 on this oxide thin film, and heating it to form the ferroelectric thin film 5 in a less pressure gas atmosphere than 1atm. in a heat treating step.

6/4/4

FN- DIALOG(R)File 347:JAPIO|  
 CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
 TI- DESTATICIZING METHOD OF SEMICONDUCTOR SUBSTRATE  
 PN- 09-223673 -J P 9223673 A-  
 PD- August 26, 1997 (19970826)  
 AU- MIZUNO YOSHIYUKI  
 PA- DAIDO STEEL CO LTD [330235] (A Japanese Company or Corporation), JP  
       (Japan)  
 AN- 08-030221 -JP 9630221-  
 AN- 08-030221 -JP 9630221-  
 AD- February 19, 1996 (19960219)  
 IC- -6- H01L-021/205; H01L-021/68  
 CL- 42.2 (ELECTRONICS -- Solid State Components)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10041486 A**

(43) Date of publication of application: **13.02.98**

(51) Int. Cl

**H01L 27/108**  
**H01L 21/8242**  
**C30B 29/32**  
**H01L 21/316**

(21) Application number: **09082195**

(22) Date of filing: **14.03.97**

(30) Priority: **25.05.96 KR 96 9617880**

(71) Applicant: **SAMSUNG ELECTRON CO LTD**

(72) Inventor: **KYO SHOSEKI**

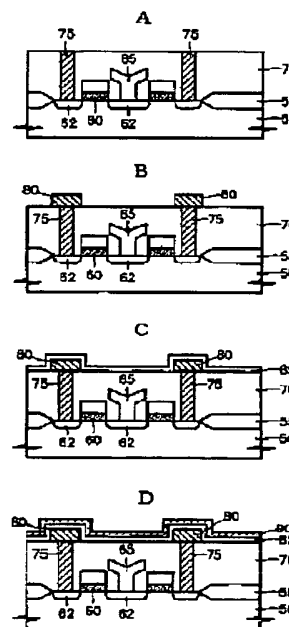
**(54) FERROELECTRIC FILM FOR SEMICONDUCTOR  
DEVICE AND FORMING METHOD FOR THE  
SAME**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device with a desired crystal form.

SOLUTION: This method included a 1st stage for forming a part of a ferroelectric film 85 while using a 1st oxidizing gas and a 2nd stage for completing the ferroelectric film 85 while using a 2nd oxidizing gas containing a component different from that of the 1st oxidizing gas so that the ferroelectric film of a semiconductor device having a uniform surface and a small leakage current can be formed through a simple process. It is desirable the 1st oxidizing gas is any one of  $N_2O$ ,  $O_2$ ,  $O_3$  and  $NOX$  and the 2nd oxidizing gas is a mixed gas containing the 1st oxidizing gas. It is further desirable the 1st oxidizing gas is  $O_2$  and the 2nd oxidizing gas is a mixed gas of the 1st oxidizing gas and  $N_2O$ .

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41486

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			C 3 0 B 29/32	A
C 3 0 B 29/32			H 0 1 L 21/316	X
H 0 1 L 21/316			27/10	6 2 1 B

審査請求 未請求 請求項の数11 F D (全 9 頁)

(21) 出願番号 特願平9-82195

(22) 出願日 平成9年(1997) 3月14日

(31) 優先権主張番号 1996 P 17880

(32) 優先日 1996年5月25日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 姜 昌錫

大韓民国京畿道水原市八達区梅灘洞810-

1 番地現代アパート103棟904号

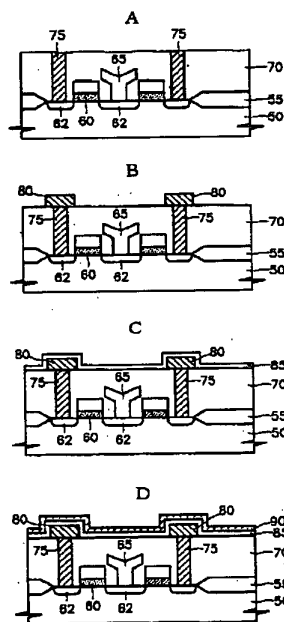
(74) 代理人 弁理士 服部 雅紀

(54) 【発明の名称】 半導体装置の強誘電体膜及びその形成方法

(57) 【要約】

【課題】 半導体装置の所望する結晶型を有する強誘電体膜及びその形成方法を提供する。

【解決手段】 第1酸化ガスを用いて強誘電体膜85の一部を形成する第1段階と、前記第1酸化ガスとは異なる成分を有する第2酸化ガスを用いて前記強誘電体膜85を完成する第2段階とから形成することにより、簡単な工程を通して均一な表面を有し、漏れ電流の小さい半導体装置の強誘電体膜を形成することができる。前記第1酸化ガスは $N_2O$ 、 $O_2$ 、 $O_3$ 、 $NO_x$ のうち何れか一つであり、前記第2酸化ガスは前記第1酸化ガスを一部含む混合ガスであることが望ましい。更に望ましくは、前記第1酸化ガスは $O_2$ であり、前記第2酸化ガスは第1酸化ガスと $N_2O$ との混合ガスである。



## 【特許請求の範囲】

【請求項1】 第1酸化ガスを用いて強誘電体膜の一部を形成する第1段階と、

前記第1酸化ガスとは異なる成分を有する第2酸化ガスを用いて前記強誘電体膜を完成する第2段階とを含むことを特徴とする強誘電体膜の形成方法。

【請求項2】 前記第2酸化ガスは前記第1酸化ガスの一部を含む混合ガスであることを特徴とする請求項1に記載の強誘電体膜の形成方法。

【請求項3】 前記第1酸化ガスは $O_2$ 及び $O_3$ よりなる群から選択された何れか一つであり、前記第2酸化ガスは $N_2O$ 及び $NO_x$ よりなる群から選択された何れか一つであることを特徴とする請求項1に記載の強誘電体膜の形成方法。

【請求項4】 前記第1酸化ガスは $N_2O$ 及び $NO_x$ よりなる群から選択された何れか一つであり、前記第2酸化ガスは $O_2$ 及び $O_3$ よりなる群から選択された何れか一つであることを特徴とする請求項1に記載の強誘電体膜の形成方法。

【請求項5】 前記第1段階は強誘電体膜の蒸着にかかる総所要時間の1乃至50%に当たる時間内に行われることを特徴とする請求項1に記載の強誘電体膜の形成方法。

【請求項6】 前記強誘電体膜は $SrTiO_3$ 、 $(Ba, Sr)TiO_3$ 、 $PbZrTiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $Bi_4Ti_3O_{12}$ のうち何れか一つから構成されることを特徴とする請求項1に記載の強誘電体膜の形成方法。

【請求項7】 請求項1の方法により形成されることを特徴とする強誘電体膜。

【請求項8】 前記第1酸化ガスは $O_2$ 及び $O_3$ よりなる群から選択された何れか一つであり、前記第2酸化ガスは $N_2O$ 及び $NO_x$ よりなる群から選択された何れか一つであることを特徴とする請求項7に記載の強誘電体膜。

【請求項9】 前記第1酸化ガスは $N_2O$ 及び $NO_x$ よりなる群から選択された何れか一つであり、前記第2酸化ガスは $O_2$ 及び $O_3$ よりなる群から選択された何れか一つであることを特徴とする請求項7に記載の強誘電体膜。

【請求項10】 前記第1段階は強誘電体膜の蒸着にかかる総所要時間の1乃至50%に当たる時間内に行われることを特徴とする請求項7に記載の強誘電体膜。

【請求項11】 前記強誘電体膜は $SrTiO_3$ 、 $(Ba, Sr)TiO_3$ 、 $PbZrTiO_3$ 、 $SrBi_2Ta_2O_9$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $Bi_4Ti_3O_{12}$ のうち何れか一つから構成されることを特徴とする請求項7に記載の強誘電体膜。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置の強誘電体膜およびその形成方法に係り、特に所望する結晶型を

有する強誘電体膜およびその形成方法に関する。

## 【0002】

【従来の技術】半導体記憶素子のうちの一つであるDRAM (Dynamic Random Access Memory) の単位素子は一つのトランジスタと一つの情報格納用のキャパシタとから構成されている。情報格納用のキャパシタは $\alpha$ 粒子の照射などによる誤動作を防止するために、少なくとも30fF/cell程度のキャパシタンスを確保しなければならない。従って、制限されたセル面積内でキャパシタンスを増加させなければならないという問題が提起されている。前記問題を解決する方法には、下記の式から分かるように三つの方法がある。

## 【0003】

## 【数1】

$$C = \frac{\epsilon_0 \epsilon_r A}{d}$$

前記式において、Cはキャパシタのキャパシタンス、 $\epsilon_0$ は真空状態における誘電率、

## 【数2】

$$\epsilon_r$$

は誘電体の誘電定数、Aはキャパシタの電極の有効面積、dは誘電体膜の厚さを示す。即ち、前記式から分かるように、1) 誘電体膜の厚さを薄膜化する方法、2) キャパシタの電極の有効面積を増加させる方法、3) 誘電定数が大きい物質を用いる方法などがある。

【0004】そのうち、一番目の方法は誘電体膜の厚さを100Å以下に薄膜化する場合、ファウラーノードハイム電流により信頼性が低下されるので、大容量のメモリ素子に適用しがたい。二番目の方法は3次元構造のキャパシタを製造するための工程が複雑で高コストになる短所がある。即ち、集積度の向上のために積層型キャパシタと、トレンチ型キャパシタの3次元的な構造が考案されて4MBのDRAMに適用されているが、16MB、64MBのDRAMに適用するには限界がある。

【0005】かつ、前記積層型キャパシタは多くのキャパシタンスを得るためにトランジスタの上に積層したキャパシタ構造の高さのために段差が大きく、トレンチ型のキャパシタはスケールングダウン作業の進行に伴いトレンチの間に漏れ電流の問題が発生して64MBのDRAMに適用しがたい。三番目の方法としては、高誘電率の材料として $Y_2O_3$ 、 $Ta_2O_5$ 、 $TiO_2$ などが用いられたが、最近ではPZT ( $PbZr_xTi_{1-x}O_3$ ) やBST ( $Ba_xSr_{1-x}TiO_3$ ) のような強誘電体物質を主に用いている。

【0006】強誘電体物質とは自発分極現象を有し、誘電定数が数百乃至1000程度である物質をいう。強誘電体を誘電体膜として用いる場合には前記強誘電体を数百Åの厚い膜から形成しても等価酸化膜の厚さを10Å以下に薄膜化することができる。前記強誘電体の膜のうち、ペロブスカイト (Perovskite) 構造の酸化物、例え

ば $\text{PbZrTiO}_3$  (PZT)、 $\text{BaSrTiO}_3$  (BST)あるいは $\text{SrTiO}_3$  (STO)系列の物質を用いてDRAMあるいは不揮発性メモリの誘電膜を形成する方法が提案された。

【0007】例えば、CVD (Chemical Vapor Deposition) 方法を用いて均一な膜質を有するBSTを得る方法が文献 (高秋川原, "Surface Morphologies and Electrical Properties of (Ba,Sr)TiO<sub>3</sub> Films Prepared by two-step Deposition of Liquid Source Chemical Vapor Deposition", Japaness Journal of Applied Physics Letter, Vol.34, pp5977-5082, 1995年9月) に開示されている。前記文献では、強誘電体膜を単一層から形成する場合、薄膜の表面形状が非常に不均一になるのが核生成密度の不均一性による突出に起因することを説明している。前記不均一性を克服する方法としては、基板の温度を420℃の低温状態に調整し60Åのバッファ層を蒸着した後、窒素雰囲気で行う1次アニーリングを行ってから、主層を蒸着し薄膜を結晶化させるために窒素雰囲気で行う2次アニーリングを行うことを開示している。ところが、前記文献には1次アニーリングの温度が開示されていないために発明の実施が可能であるか否やかが不確かであり、2回のアニーリングを通してBST結晶型が得られるので、工程が複雑になる問題点がある。

【0008】一方、膜の疲れ現象による強誘電体膜の漏れ電流を減らし得る誘電体素子が特開平6-21337号公報に開示されている。前記開示された誘電体素子においては、 $\text{ABO}_3$ 構造の強誘電体物質、特にPZTをキャパシタの誘電膜として用いる時、B格子の元素の組成比に対するA格子の元素の組成比、即ち〔A〕／〔〔A〕+〔B〕〕が強誘電体物質と電極間の境界面と強誘電体物質のバルク領域とでそれぞれ異なるように構成する。かかる構成の誘電体素子を形成するためには、強誘電体膜のソース成分を変化させたり、強誘電体膜の蒸着が起こる反応室の条件を変えなければならないので、製造工程が複雑になる。

#### 【0009】

【発明が解決しようとする課題】本発明は前記のような問題点を解決するために案出されたものであり、簡単な工程を通して均一な表面を有し、漏れ電流の小さい半導体装置の強誘電体膜の形成方法を提供することである。かつ、本発明の他の目的は前記方法により形成された半導体装置の強誘電体膜を提供することである。

#### 【0010】

【課題を解決するための手段】前記目的を達成するために本発明による強誘電体膜の形成方法は、第1酸化ガスを用いて強誘電体膜の一部を形成する第1段階と、前記第1酸化ガスとは異なる成分からなる第2酸化ガスを用いて前記強誘電体膜を完成する第2段階とを含むことを特徴とする。

【0011】前記第1酸化ガスは $\text{N}_2\text{O}$ 、 $\text{O}_2$ 、 $\text{O}_3$ 、 $\text{NO}_x$ のうち何れか一つであり、前記第2酸化ガスは前記第1酸化ガスを一部含む混合ガスであることが望ましい。更に望ましくは、前記第1酸化ガスは $\text{O}_2$ であり、前記第2酸化ガスは第1酸化ガスと $\text{N}_2\text{O}$ との混合ガスである。更に望ましくは、前記第1段階は強誘電体膜の蒸着にかかる総所要時間の1乃至50%に当たる時間内に行われる。

【0012】前記強誘電体膜は $\text{SrTiO}_3$ 、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 $\text{PbZrTiO}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のうち何れか一つから構成される。前記他の目的を達成するために、本発明は前記方法により形成された強誘電体膜を提供する。

#### 【0013】

【発明の実施の形態】以下、本発明を添付した図面に基づき更に詳細に説明する。後述する本発明の実施例では、半導体装置の強誘電体膜としてSTO膜を形成し、このために下記の表1に示したような条件を用いた。

#### 【0014】

【表1】

ソース	$\text{Sr}(\text{DPM})_2\text{tetraglyme}$ , $\text{Ti}(\text{DPM})_2(\text{O}-i\text{-Pr})_2$
溶媒	tetrahydrofuran (THF)
流速	0.10ml/min
基板の温度	550℃
チャンバ圧力	1Torr
酸化ガス	$\text{O}_2$ , $\text{N}_2\text{O}$ あるいは $\text{O}_2+\text{N}_2\text{O}$
基板の構造	Pt(1000Å)/SiO <sub>2</sub> /Si
伝送ガス/流量	Ar/200sccm
酸化器の温度	240℃
蒸着時間	15分

図1乃至3は前記表1による条件下で酸化ガスを変化させながら形成した薄膜の表面形状を示すSEM (Scanning Electron Microscopy) 写真である。図1は強誘電体

膜を初期層形成段階と主層形成段階との2段階により蒸着したものであり、第1段階の初期層形成段階では酸化ガスとして $\text{N}_2\text{O}$ を60秒(強誘電体膜の蒸着に要る総

所要時間の6.7%)間流入させ、次いで第2段階の主層形成段階では酸化ガスとして $N_2O$ と $O_2$ が1:1で混合された混合ガスを14分(強誘電体膜の蒸着に要する総所要時間の93.3%)間流入させて強誘電体膜を蒸着した場合である。図2は強誘電体膜を図1のように2段階により蒸着するが、初期層形成段階では酸化ガスとして $O_2$ を60秒間流入させ、次いで主層形成段階で酸化ガスとして $N_2O$ と $O_2$ が1:1で混合された混合ガスを14分間流入させて強誘電体膜を蒸着した場合である。図3は強誘電体膜を1段階により蒸着したものであり、強誘電体膜の全蒸着段階にかけて(即ち、15分間)酸化ガスとして $N_2O$ と $O_2$ が1:1で混合された混合ガスを用いて強誘電体膜を形成した場合である。

【0015】前記図1至図3に示されたように、強誘電体膜を2段階にかけて蒸着した場合には強誘電体の薄膜に突出部が形成されず均一に形成されることが分かる。一方、誘電体膜としてSTO膜を形成する際、 $Sr/Ti=1$ の条件で薄膜の誘電率が一番大きく、 $Ti$ の量が $Sr$ の量より多い場合に誘電定数は小さくなり漏れ電流が減少することを説明している(P-Y. Lesaichere, "Preparation of ECR MOCVD  $SrTiO_3$  thin films and their application to a Gbit-scale DRAM stacked capacitor structure", invited talk at the Korea Vacuum Society, in Seoul February 17, 1995 参照)。このような事実に基づき、前記表1による工程条件下で酸化ガスの成分を変化させながら強誘電体膜を形成し、前記形成された強誘電体膜の組成を調べた。

【0016】図4のA及びBはSTOから構成される強誘電体膜において各酸化ガス成分による $Sr$ と $Ti$ の組成比、即ち $[Sr]/[Ti]$ を示したものである。図4のAは強誘電体膜を単一層として蒸着した場合であ

り、図4のBは強誘電体膜を初期層及び主層からなる二重層として蒸着した場合である。ここで、STOからなる強誘電体膜の組成比、即ち $[Sr]/[Ti]$ はRBS (Rutherford Back scattering Spectroscopy)にて測定したものである。

【0017】図4のAの結果から分かるように、 $N_2O$ 、 $N_2O$ 及び $O_2$ の混合ガス、 $O_2$ からなる酸化ガスのうち選択された一つの酸化ガスのみを用いて強誘電体膜を単一層として蒸着する場合には、 $[Sr]/[Ti]$ がそれぞれ1.10、0.96及び0.92であった。結果的に、 $N_2O$ の量が増加するほど $Sr$ の量が増加し、 $O_2$ の量が増加するほど $Ti$ の量が増加することが分かる。

【0018】このような結果は強誘電体膜を二重層として蒸着した場合にも類似である。図4のBにおいて、ポイント'A'は図2と同一な条件で強誘電体膜を形成した場合であり、ポイント'B'は図1と同一な条件で強誘電体膜を形成した場合である。ポイント'A'及び'B'における $[Sr]/[Ti]$ はそれぞれ0.93と1.00である。かつ、図4Bにおいて、ポイント'C'は図3と同一な条件下で、即ち初期層蒸着段階無しに一段階により強誘電体膜を形成した場合を示す。

【0019】図4のBの結果から分かるように、強誘電体膜を二重層として蒸着する場合、第1段階の初期層蒸着段階で漏れ電流を減らすために $Ti$ の量を $Sr$ より増加させる方法としては酸化ガスとして $O_2$ を用いることが効果的である。一方、強誘電体膜の各形成条件に応じる電気的特性を測定した結果を次の表2に示した。

【0020】

【表2】

形成条件		$[Sr]/[Ti]$	漏れ電流密度 ( $A/cm^2$ ) ( $\pm 1.5V$ )		誘電 定数 ( $\epsilon$ )	等価 酸化膜 の厚さ ( $T_{ox}$ ) Å	誘電 損失 ( $\tan \delta$ )
第1段階	第2段階		+	-			
-	$N_2O$	1.16	22.6 $\mu$	7.7 $\mu$	176	11.0	1%
-	$N_2O, O_2$	0.96	197n	101n	177	14.5	<1%
$N_2O(60^\circ)$	$N_2O, O_2$	1.00	3.62n	6.13n	208	12.4	<0.1%
$N_2O(15^\circ)$	$N_2O, O_2$	0.96	2.62n	3.37n	215	11.9	<0.1%
$O_2(60^\circ)$	$N_2O, O_2$	0.93	5.75n	8.81n	251	10.2	$\approx 0.1\%$

前記表2から分かるように、強誘電体膜を2段階により蒸着した場合には漏れ電流が小さく、誘電定数が大きい。誘電定数が一番大きい場合は、初期層形成段階で酸化ガスとして $O_2$ を用いた場合であり、漏れ電流が一番小さい場合は酸化ガスとして $N_2O$ を15秒(総所要時間の1.75%)間用いた場合である。

【0021】一方、誘電定数が一番大きい強誘電体膜の $[Sr]/[Ti]$ は0.93であり、その際の条件は

初期層形成時に酸化ガスとして $O_2$ を60秒間流入し、主層形成時に酸化ガスとして $N_2O$ と $O_2$ が1:1で混合された混合ガスを残余工程時間の間に流入させた場合に当たる。 $[Sr]/[Ti]=0.93$ の時の誘電定数は強誘電体膜を二重層として形成した場合のうち $[Sr]/[Ti]=1$ の時の誘電定数と一番大きな差がある。このような事実は前述したP-Y. Lesaichereによる文献に開示された内容、即ち $[Sr]/[Ti]=1$ で

ある時に最大の誘電定数が得られるという内容とは異なる結果である。

【0022】結果的に、強誘電体膜の形成条件に応じて相異なる誘電定数を有する理由は強誘電体膜の蒸着時のガス組成差でなく蒸着された強誘電体膜の結晶性が異なる点に起因する推定される。従って、本出願人は酸化ガスの種類に応じる強誘電体膜の結晶構造を次のように観察した。

【0023】図5のA乃至Cはそれぞれ強誘電体膜をSTOからなる単一層として一段階により500Åの厚さで蒸着した場合、反応ガスとして用いられた酸化ガスの種類に応じるXRD (X-Ray Diffraction) パターンを示したものである。図5のAは酸化ガスとして $O_2$ を用いた場合であり、図5のBは酸化ガスとして $N_2O$ と $O_2$ を1:1で混合した混合ガスを用いた場合であり、図5のCは酸化ガスとして $N_2O$ を用いた場合を示す。

【0024】図5のA乃至Cから分かるように、酸化ガスが $O_2$ から $N_2O+O_2$ 、 $N_2O$ に変わると共に、即ち $N_2O$ の量が増加するほどXRDピークの強度は弱くなり、格子面200のピークに対する格子面110のピークの強度の相対的な比( $I_{110}/I_{200}$ )は減少する。ここで、酸化ガスの成分が変化することによって結晶成長の方向が変わる理由は正イオンの比、即ち $[Sr]/[Ti]$ が変わるためと見なされる。即ち、酸化ガスは蒸着されるSTO膜の組成のみならずその膜の結晶性及び優先配向性にも影響を及ぼす。

【0025】図6のA乃至図Cは強誘電体膜を2段階により蒸着した場合、酸化ガスの種類に応じるXRDパターンを示したものである。図6のAは酸化ガスとして初期層形成段階で $N_2O$ を15秒(総所要時間の1.7%)間用いた後、主層形成段階で $N_2O+O_2$ を14分45秒間用いて強誘電体膜のSTO膜を蒸着した場合であり、格子面110、200のピークが現れ、特に格子面200のピークが大きく現れる。図6Bは酸化ガスとして初期層形成段階で $N_2O$ を60秒間用いた後、主層形成段階で $N_2O+O_2$ を14分間用いて強誘電体膜を蒸着した場合であり、格子面200のピークは大きく現れるが、図6のAの格子面の200のピークよりは高くない。最後に、図6のCは酸化ガスとして初期層形成段階で $O_2$ を60秒間用いた後、主層形成段階で $N_2O+O_2$ を14分間用いて強誘電体膜を蒸着した場合であり、格子面110の上にピークがはっきりと現れる。前記結果から、酸化ガスとして $O_2$ を用いると格子面110が優先配向され、酸化ガスとして $N_2O$ を用いると格子面200が優先配向されることを分かる。かつ、初期層の形成時間が短いほど、即ち初期層の厚さが薄いほど激しい格子面200ピークが得られることが分かる。

【0026】前記説明した実施例では、各酸化ガスを用いる時間を特定した技術であるが、初期層で所要される時間が強誘電体膜の蒸着に要する総所要時間の1乃至50

%の範囲内であれば本発明の思想を実現することができる。以上、半導体装置の強誘電体薄膜に突出部が形成される問題は強誘電体薄膜を2段階にかけて蒸着することにより解決できる。このように2段階の蒸着により強誘電体薄膜を形成することにより、強誘電体薄膜の誘電定数を大きくし、漏れ電流を減少させ得る。一方、誘電定数を最適の値にするためには初期層形成段階の第1段階で酸化ガスとして $O_2$ を用いることが望ましく、漏れ電流を最大限に抑制するためには酸化ガスとして $N_2O$ を用い強誘電体膜を蒸着するにかかる総所要時間の約1乃至50%、望ましくは約1乃至5%の範囲内で初期層蒸着を行うことが望ましい。

【0027】かつ、酸化ガスとして $O_2$ を用いると格子面110が優先配向され、 $N_2O$ を用いると格子面200が優先配向される。ところが、ペロスカイト構造の酸化物は結晶構造の優先配向に応じて誘電定数、漏れ電流などの電気的な特性及び薄膜のストレス、イオンの拡散程度などが変わるので、強誘電体膜の形成時に用いられる酸化ガスの種類と蒸着時間を変化させることにより特定デバイスに好適な電気的特性を有する強誘電体膜を形成することができる。特に、2段階により行われる強誘電体膜の蒸着工程で第1段階の初期層蒸着に用いられるガスのみを変えて強誘電体膜の所望する結晶構造を得ることができるという利点がある。

【0028】図7のA乃至Dは本発明による強誘電体膜の形成方法を用いてキャパシタを製造する段階を示した断面図である。図7のAを参照すると、半導体基板50の上に素子分離酸化膜55、ゲート60、ソース/ドレイン領域62、前記ソース/ドレイン領域62と接触するビットライン65及び埋没コンタクト75が形成されている。

【0029】図7のBを参照すると、埋没コンタクト75の形成された平坦化膜70の上面にキャパシタの下部電極として用いられる導電層を形成しパタニングして下部電極80を形成する。前記下部電極80を形成するための導電層はPt, Ir, Ru,  $IrO_2$ ,  $RuO_2$ のうち何れか一つから形成される。図7のCを参照すると、MOCVD (Metal Organics Chemical Vapor Deposition) 方法を用いて前記結果物の全面に強誘電物質を蒸着して強誘電体膜85を形成する。前記強誘電体物質としてBST, STO, PZT,  $Bi_4Ti_3O_{12}$ ,  $SrBi_2Ta_2O_9$ のうち何れか一つを用いることができるが、本実施例ではSTOを用いた。通常的に、STO膜は100乃至500Åの厚さで形成し、強誘電体膜85の蒸着に必要な層所要時間は15分乃至20分である。ここで、前記強誘電体膜85は2段階により蒸着され、Srのソースとして $Sr(DPM)_2$  tetraglymeをTHF (tetrahydrofuran) に溶かした溶液(0.15モル%)を用い、Tiのソースとして $Ti(DPM)_2$  (0-i-Pr)をTHFに溶かした溶液(0.40モル%)を用いてSr:Ti



を77:23で保ちながらソースをアルゴン運送ガスチャンバーに流す。この際、基板の温度及び圧力は前記表1に示した通りである。第1段階で酸素ガスを強誘電体膜85の蒸着に必要な総所要時間の1乃至50%、例えば6.7%にかけて用い、第2段階では酸素ガスと窒素ガスとの混合ガスを強誘電体膜85の蒸着に必要な総所要時間のうち残りの時間にかけて用いた。

【0030】前記方法により形成された強誘電体膜85の表面には突出部が形成されず、漏れ電流が小さくなり誘電定数が大きくなる。図7のDを参照すると、前記結果物の全面に上部電極層90を蒸着し、500乃至700℃の窒素ガス雰囲気中で20分乃至60分間アニーリングして上部電極層90と強誘電体膜85間の界面を安定化させる。ここで、上部電極層を形成する物質としてはPt, Ir, Ru, IrO<sub>2</sub>, RuO<sub>2</sub>のうち何れか一つを用いる。

【0031】次に、上部電極層90をパタニングするとキャパシタが完成され、キャパシタの形成後の層間絶縁膜の形成、配線層の形成及び保護膜の形成などは通常の半導体製造過程と同一である。

#### 【0032】

【発明の効果】前記本発明の望ましい実施例では強誘電体膜を形成する方法としてMOCVD方法を用いて説明したが、本発明はこれに限定されず、スパッタ法を用いることもできる。スパッタ法を用いる場合は第1段階蒸着時にスパッタリングガスとしてN<sub>2</sub>O及びArガスを、第2段階蒸着時にN<sub>2</sub>O、Ar及びO<sub>2</sub>ガスを、かつ、本発明で用いたガスの他にNO<sub>x</sub>の窒化ガスあるいはO<sub>3</sub>を用いることもできる。

【0033】本発明は前記実施例に限られず、本発明が属した技術的思想内で当分野において通常の知識を有す

る者により多くの変形が可能であることは明白である。

#### 【図面の簡単な説明】

【図1】本発明の実施例により形成した薄膜の表面形状を示すSEM写真である。

【図2】本発明の実施例により形成した薄膜の表面形状を示すSEM写真である。

【図3】本発明の実施例により形成した薄膜の表面形状を示すSEM写真である。

【図4】A及びBはそれぞれ本発明実施例において誘電体膜を単一層及び二重層として蒸着する時に供される酸化ガスの成分による強誘電体膜の組成比を示す。

【図5】A乃至Cは本発明実施例の強誘電体膜を単一層として1段階により蒸着した場合、反応ガスの成分によるXRDパターンを示す。

【図6】A乃至Cは本発明実施例の強誘電体膜を2段階により蒸着した場合、反応ガスの成分に応じるXRDパターンを示す。

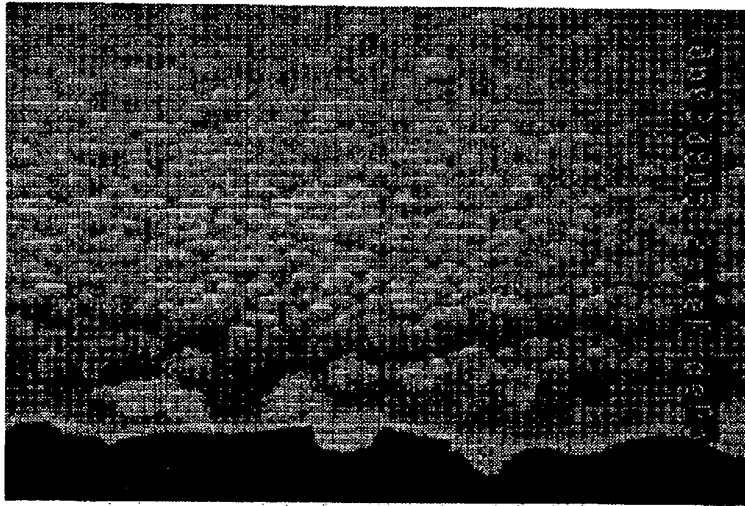
【図7】A乃至Dは本発明の望ましい実施例による強誘電体膜形成方法に基づき半導体装置のキャパシタを製造する方法を段階別に示した断面図である。

#### 【符号の説明】

- 50 半導体基板
- 55 素子分離酸化膜
- 60 ゲート
- 62 ソース/ドレイン領域
- 65 ビットライン
- 70 平坦化膜
- 75 埋没コンタクト
- 80 下部電極
- 85 強誘電体膜
- 90 上部電極層

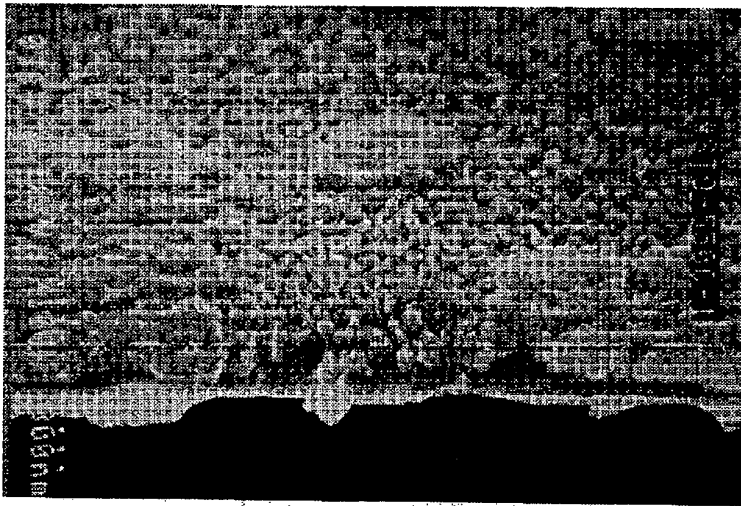
【図1】

図面代用写真

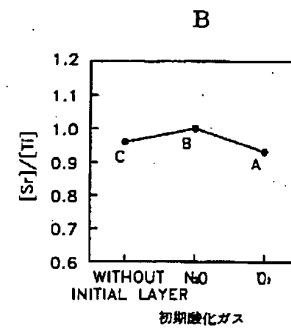
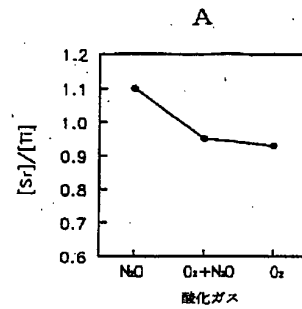


【図2】

図面代用写真

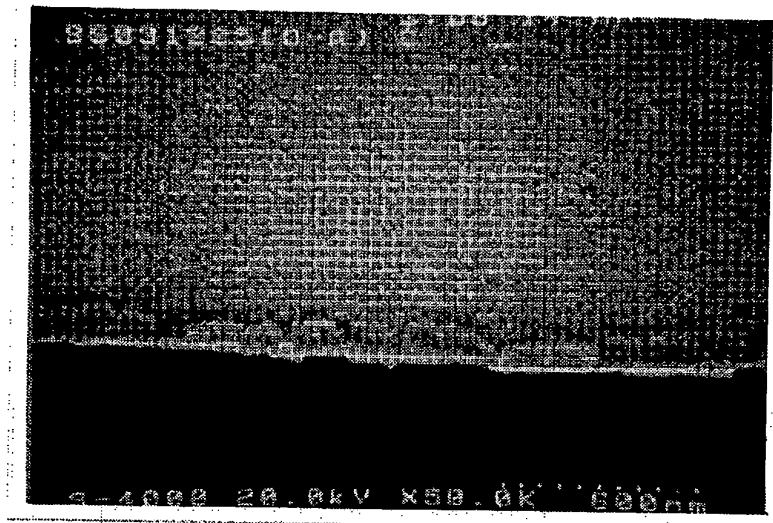


【図4】

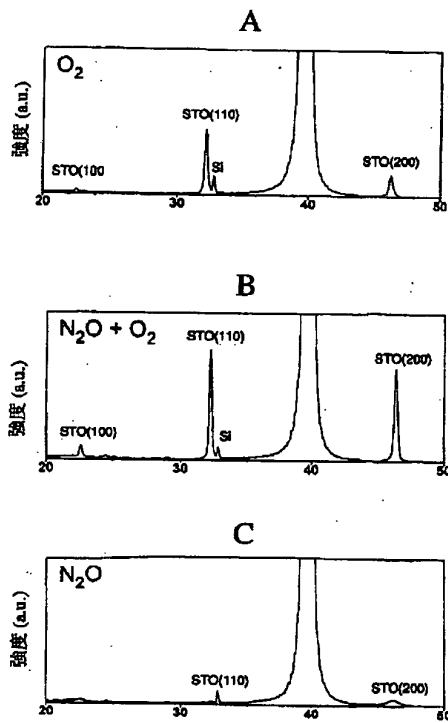


【図3】

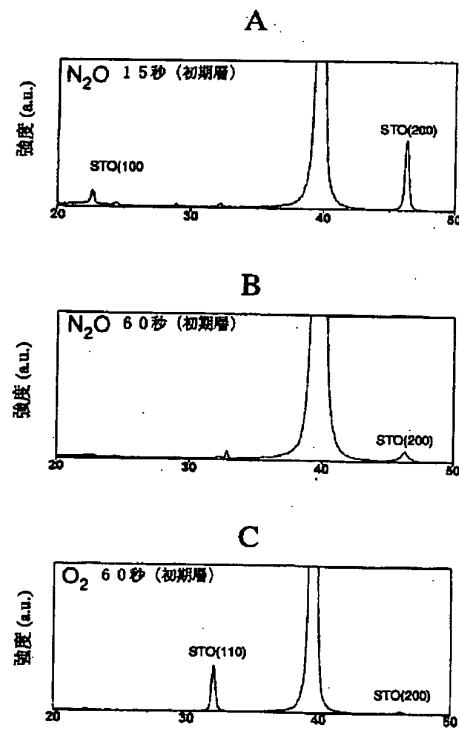
図面代用写真



【図5】



【図6】



【図7】

